

PoP: 어셈블리, 재공정, 신뢰성에 대한 EMS 관점

글: Heather McCormick, Irene Serian, Jimmy Chow, Mike Berry, Joel Trudell and Roden Cortero, Celestica Inc.,

PoP(package on package)는 현대 전자 기기 시장에 이미 널리 채택되어 있고 계속해서 사용이 늘어나고 있으며 다른 유형의 전자 어셈블리에도 채택될 것으로 보인다. PoP 디바이스의 내부 어셈블리 공정을 살펴보기 위해서 어셈블리 및 신뢰성 시험을 실시하였다. 이 시험의 첫 번째 목적은 어셈블리 수율 및 품질 측면에서 각기 다른 디핑가능 플럭스 및 솔더 페이스트의 성능을 평가하는 것이었으며, 두 번째 목적은 가속화 열 사이클링 시에 각기 다른 테스트 비이클의 신뢰성을 평가하는 것이었다. 고신뢰성 어셈블리에 이용되는 PoP 디바이스에 적합한 어셈블리 프로세스를 이해하기 위해 여기서는 열 사이클링을 테스트 기법으로 선택하였다. 이러한 어셈블리에서는 열 사이클링 성능이 중요한 고려사항이기 때문이다.

다른 소형 에어리어 어레이 패키지와 마찬가지로 PoP 스택의 상단 및 하단 디바이스 역시 다양한 유형의 합금으로 이루어진다. 이 시험에서는 SAC305 스택, SAC405 스택, SAC105 상단 패키지 및 SAC125 하단 패키지를 채택한 스택의 3개 합금 유형을 포함하고 있다. 다양한 불 합금과 더불어서 이 시험에서는 각기 다른 디핑가능(dippable) 소재를 포함하고 있다. 3개 업체 의 딥 플럭스를 이용하였으며 또한 3개 업체에서 각각 하나씩 3개의 디핑가능 솔더 페이스트를 이용했다. 디핑가능 페이스트는 모두 SAC305로서 2개는 Type V 파우더를 이용한 것이며 세 번째 것은 Type VI 파우더를 이용한 것이다. 또한 일부 셀의 변수로서 재공정 및 언더필을 포함하고 있다.

어셈블리로 -40°C~125°C에 이르는 열 사이클링을 시행해서 각 어셈블리의 신뢰성을 평가했다. 이 글에서는 열 사이클링의 결과를 제공하며 품질과 열 사이클링 성능을 토대로 적합한 어셈블리 기법에 대해 논의하고 있다.

키워드: PoP(package on package), 딥 플럭스, 딥 페이스트, 신뢰성

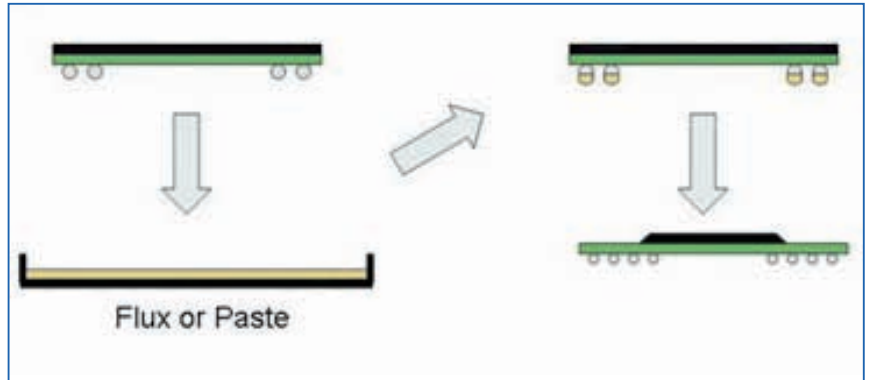


그림 1: 사전 적층 1단계 - 디핑



그림 2: 사전 적층 2단계 - 소자 리플로우

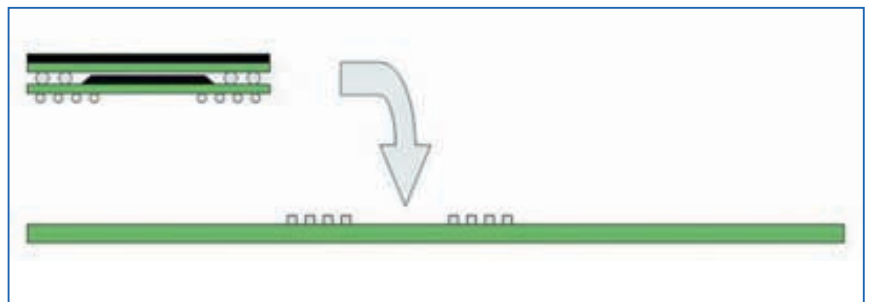


그림 3: 사전 적층 3단계 - 탑재

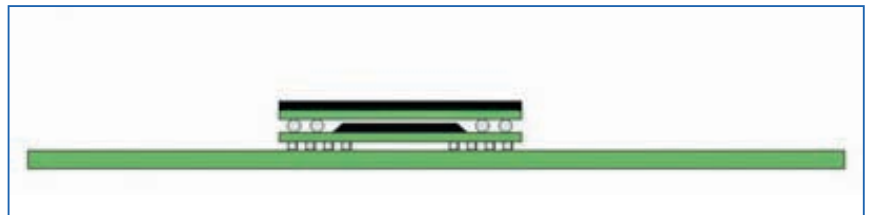


그림 4: 사전 적층 4단계 - 어셈블리 리플로우

배경

휴대기기는 공간 제한이 오래 전부터 핵심적인 설계 상의 과제였다. 더 소형의 폼팩터로 더 많은 기능을 가능하게 하기 위해서 휴대기기 애플리케이션을 겨냥한 부품들은 수년에 걸쳐 계속해서 크기가 감소하고 있다. 처음에는 리드 프레임 디바이스가 아니라 칩 스케일 패키지를 이용해서 필요한 보드 면적을 감소시키는 것으로 크기 감소를 달성하였다. 크기를 줄이기 위한 그 다음 단계는 칩 스케일 패키지의 피치를 감소시킴으로써 더 적은 공간으로 동일한 수의 I/O를 가능하게 하는 것이었다. 패키지 피치는 0.8mm에서 0.65mm로, 그 다음에는 0.5mm 및 0.4mm로 감소했다. 이러한 추세는 계속되고 있으며 현재는 최저 0.3mm에 이르는 웨이퍼 레벨 CSP 피치가 제안되어 있다.

하지만 피치 감소만으로는 가능한 폼팩터 축소에 실제적으로 한계가 있다. 최근에는 적층을 통해서 패키지로 더 많은 기능을 통합하는 경향이 있다. 적층에는 주로 두 가지 접근법이 가능하다. 첫째는 와이어 본딩 및 경우에 따라 플립 칩 접속을 통해서 단일 패키지 내에 2개 이상의 다이를 적층하는 것이고, 둘째는 PCB(printed circuit board) 상에 2개 이상의 패키지(각기 하나 이상의 다이 포함)를 적층하는 것이다. EMS의 관점에서 CSP 내에 다이를 적층하는 부품이 구현하기가 더 용이하다. 필요하다면 기존의 CSP와 동일한 방식으로 부품을 탑재하고, 리플로우하여 재공정할 수 있다. 멀티 패키지 적층은 수율 및 공급체인 상의 이점이 있으며 이 때문에 이 방법이 많은 경우에 매력적일 수 있다.

멀티 패키지 스택은 주로 두 가지 형태일 수 있다. 하나는 적층형 메모리 패키지와 같은 2개 이상의 유사한 부품 스택이고 다른 하나는 로직 패키지와 그 위에 메모리 디바이스를 적층한 것처럼 2개 이상의 상이한 소자 스택일 수 있다. 어떤 경우에는 사전에 적층 상태로 디바이스를 보드 어셈블리 위치로 인도할 수 있으며 이 경우에는 다른 어느 부품과 같은 방식으로 취급할 수 있다. 또 다른

경우에는 어셈블러 업체로 스택을 구성하는 개별 패키지를 인도하고 어셈블리 공정의 일부로서 적층해야 한다.

적층 공정은 메인 회로 보드의 어셈블리에 앞서서 사전 적층 작업으로 시행하거나 아니면 SMT 공정 시에 회로 보드 상에 직접 시행할 수 있다. 사전 적층 작업은 하단 패키지를 캐리어에 탑재하고 상단 패키지를 플럭스나 솔더 페이스트에 디핑하고 이를 하단 패키지 상에 탑재하는 것으로 이루어진다. 그런 다음 적층된 소자들을 캐리어에서 리플로우한다. 메인 회로 보드 어셈블리 시에 사전 적층 소자들을 캐리어 밖으로 꺼내고 솔더 페이스트로 스크린 인쇄된 회로 보드 상에 탑재한다. 그런 다음 전체적인 어셈블리를 리플로우해서 공정을 완료한다. 그림 1부터 그림 4까지는 사전 적층 공정에 대해 설명하고 있다.

두 번째 접근법이 이 시험에서 다루고자 하는 주제이다. 이는 SMT 라인을 따라서 사전 적층 공정에 필요로 하는 것처럼 2회가 아니라 1회 패스만을 필요로 하기 때문이다. 이는 또한 메인 회로

보드가 어셈블리되는 시점에 이르기까지 상단 및 하단 패키지를 이용하는 방식에 있어 유연성을 가능하게 한다. 이 공정은 보드를 스크린 인쇄하고 적층 디바이스의 하단 패키지를 포함하는 소자를 기존의 방식으로 탑재한다. 그런 다음 적층 디바이스의 상단 패키지를 취하고 플럭스나 솔더 페이스트에 디핑한 다음에 하단 패키지 위에 탑재한다. 그런 다음 전체 어셈블리를 리플로우해서 단일 리플로우 패스로 접합 층을 모두를 형성한다. 그림 5부터 그림 7까지는 이 공정에 대해 설명하고 있다.

이 시험에서는 PoP(package on package) 어셈블리에 대해 각기 다른 플럭스를 평가해서 어느 것이 어셈블리 수율 및 신뢰성 측면에서 가장 우수한 결과를 달성하는지 보고자 하였다. 또한 디핑가능 솔더 페이스트라고 하는 비교적 새로운 유형의 소재에 대해서 수율 및 신뢰성 측면에서 향상을 달성할 수 있는지 검토하였다. 전통적으로 PoP 부품은 플럭스를 이용해 디핑 작업을 실시해서 어셈블리하였다. 하지만 PoP 부품

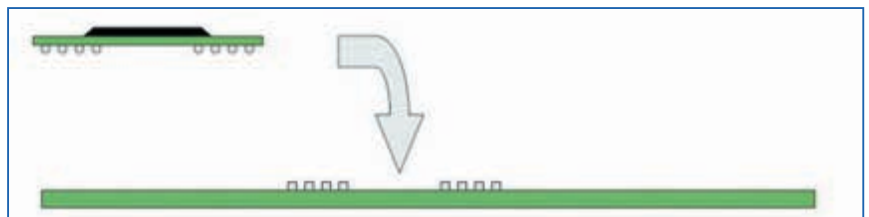


그림 5: 온보드 적층 1단계 - 하단 패키지 탑재

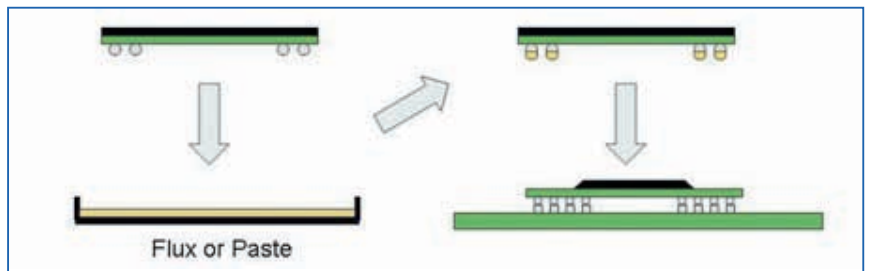


그림 6: 온보드 적층 2단계 - 상단 패키지 디핑 및 탑재



그림 7: 온보드 적층 3단계 - 어셈블리 리플로우

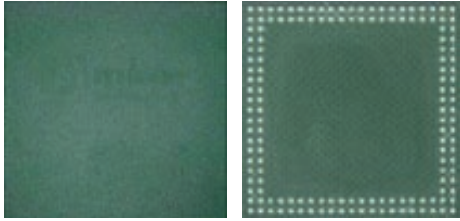


그림 8: 상단 PoP 패키지 - 상단(왼쪽) 및 하단(오른쪽)

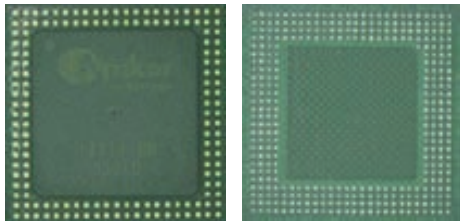


그림 9: 하단 PoP 패키지 - 상단(왼쪽) 및 하단(오른쪽)

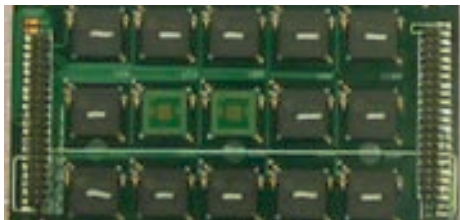


그림 10: PoP 테스트 장비

은 리플로우 시에 뒤틀림이 발생하는 것으로 알려지고 있으며^{2,3}, 상단 패키지와 하단 패키지 사이의 접합부에 틈이 발생할 수 있다. 디핑가능 솔더 페이스트를 이용해서 수율을 향상시킬 수 있을 것으로 기대된다. 볼로 더 많은 양이 전달될 것이며 그럼으로써 리플로우 시에 소자가 뒤틀릴 때 볼과 패드 사이의 어떠한 공간을 채울 수 있으며 틈이 발생하는 것을 줄일 수 있을 것이다.

신뢰성 테스트 기법으로서 가속화 열 사이클링을 선택했다. PoP 어셈블리에 대한 이전의 많은 시험에서는 드롭 테스트를 이용해서 신뢰성을 평가했다. 이는 휴대기기와 관련해 현재의 대다수 애플리케이션에 좀더 적합하기 때문이다. 하지만 과거에 많은 경우에 원래 휴대기기에 애플리케이션 용으로 설계되었던 부품이 궁극적으로는 서버나 원격통신 스위치 등과 같은 장비에 채택되었으며 이러한 장비는 열 사이클링 신뢰성이 더 중요한 문제이다. PoP 디바이스의 이러한

가능성을 염두에 두고 열 스트레스 시에 PoP 디바이스의 결합 모드를 이해하고 열 사이클링 시에 신뢰성에 대해 최적화된 프로세스를 개발하고자 하는 노력에서 열 사이클링을 시행하기로 하였다.

소자

이 프로젝트에서 선택된 PoP 소자는 14mm x 14mm 유형이다. 하단 패키지는 4열 페리퍼럴 솔더 볼 어레이로서 0.5mm 피치로 353개 I/O를 제공한다. 상단 패키지는 2열 페리퍼럴 어레이로서 0.65mm 피치로 152개 I/O를 제공한다. 그림 8은 상단 패키지의 상단 및 하단 모습이며, 그림 9는 하단 패키지의 상단 및 하단 모습이다.

각 패키지에 대해 3가지의 합금 유형을 조달하였다. 상단 패키지는 SAC105, SAC305, SAC405 유형으로 구입하였으며, 하단 패키지는 SAC125, SAC305, SAC405 유형으로 구입하였다. 드롭 테스트 시에는 볼의 은 함유량이 낮은 패키지가 대체적으로 성능이 더 우수하나 가속화 열 사이클링 시에는 SAC305가 높은 볼을 이용한 소자가 더 우수할 것으로 예상된다. 특히 이 프로젝트에 선택한 혹독한 사이클링 조건을 고려했을 때 SAC405 볼 소자는 열 사이클링 성능이 그보다 더 우수할 것으로 예상된다^{6,7}.

테스트 장치

이 연구에 이용된 테스트 장치(test vehicle)는 상용으로 구입 가능한 보드로서 15개 PoP (package on package) 탑재를 위한 공간을 제공했다. 이 보드는 크기는 132mm x 77mm이고 두께는 1.0mm로서 8개 금속 층으로 이루어졌다. 표면처리는 고온 OSP로 진행됐다.

ATC 테스트 시에 결합 분리를 위해 테스트 장비를 간편하게 제거할 수 있도록 하기 위해서 표면 실장된 헤더를 테스트 장비 상의 테스트 패드로 솔더링하고 와이어 애드(wire adds)를 배선해서

테스트 비이클의 핀아웃을 즉각적 모니터링에 적합하도록 변경하였다. 열 사이클링 체임버에 이용되는 표준 케이블링을 효율적으로 사용하도록 하기 위해서 각 카드 상의 2개 위치에는 소자를 탑재하지 않았고 그럼으로써 카드당 최대 샘플 크기는 13개 소자였다. 그림 10은 핀헤더와 와이어 애드를 포함한 조립된 테스트 비이클을 보여준다.

테스트 계획

프로세스와 관련해서 이 프로젝트의 일차적인 목적은 스택의 상단 패키지 어셈블리에 이용하기 위한 다양한 디핑가능 플릭스 및 솔더 페이스트를 평가하는 것이었다. 3개 업체 각각으로부터 하나씩 3개의 디핑가능 플릭스 조성을 선택하였다. 모든 플릭스는 비세척 소재였다. 최근에는 PoP 어셈블리에 이용하기 위한 새로운 유형의 소재로서 디핑가능 솔더 페이스트가 등장하였다. 이들 소재는 스크린 인쇄에 주로 이용되는 기존의 솔더 페이스트보다 금속 함유량이 낮으며 또한 메쉬 크기가 작다. 3개 소재 업체들이 디핑가능 솔더 페이스트를 제공했으며 A 업체는 Type VI 메쉬 크기를 권장하고 B 및 C 업체는 Type V 메쉬 크기 파티클의 페이스트를 제공하였다. 모든 3개 디핑가능 페이스트의 합금은 SAC305였다. 표 1은 소재 비교를 위해서 테스트 셀에 대해 요약적으로 보여준다. 이들 셀의 모든 소자는 상단 패키지는 SAC105 볼이고 하단 패키지는 SAC125 볼이다.

각기 다른 유형의 솔더 볼 합금으로 PoP 소자들을 이용할 수 있으므로 3개 유형의 PoP 소자에 대해 검사하였다. 첫 번째 유형은 플릭스 및 페이스트 시험에 이용된 유형으로서 SAC105 상단 패키지와 SAC125 하단 패키지를 이용한 것이다 (이 어셈블리를 편의상 SAC105라고 한다). 두 번째 유형은 상단 및 하단 패키지 모두 SAC305 볼이며, 세 번째 유형은 두 패키지 모두 SAC405 볼이다. 표 2는 합금 비교를 위한 구성 표이다. 이들 셀의 모든 보드

는 A 업체의 플럭스 또는 페이스트를 이용해 구축된 것이다.

또한 하나는 10개의 SAC105 소자로 이루어지고 다른 하나는 8개의 SAC305 소자로 이루어진 2개의 재공정 셀을 포함시켰다. 이들 셀은 동일한 소재를 이용해서 재공정했다.

마지막으로는 언더필 효과에 대해 평가했다. 모든 언더필 카드는 SAC105 소자였으며 각 업체의 딥 페이스트를 이용해서 어셈블리했다. 2개의 각기 다른 언더필 소재를 포함시켰다(언더필 1과 언더필 2로 표기). 3개의 딥 페이스트 각각에 대해서 한 카드는 2개 언더필 소재 각각을 이용해서 하단 접합부 층만 언더필을 실시했다. 페이스트 B에 대해서는 각기 다른 언더필 기법이 신뢰성에 어떠한 영향을 미치는지 판단하기 위해 2개의 추가적인 카드를 상단 및 하단 접합부 층 모두에 언더필을 실시하여 어셈블리했다. 표 3은 각 어셈블리의 언더필 레그 차이를 보여주며 각각의 소자 샘플 크기를 보여준다.

어셈블리에 이어서 모든 셀의 수율을 평가하고 샘플을 가속화 열 사이클링으

공급업체	플럭스 샘플 크기	페이스트 샘플 크기
A	26	29
B	26	26
C	26	26

표 1: 플럭스 및 페이스트 구성 표

합금	플럭스 샘플 크기	페이스트 샘플 크기
SAC105	26	29
SAC305	13	14
SAC405	13	13

표 1: 공정성능지수 대 결합 비율

페이스트 공급업체	언더필	패턴	샘플 크기
A	1	Bottom	13
A	2	Bottom	13
B	1	Bottom	13
B	1	Both	13
B	2	Bottom	13
B	2	Both	13
C	1	Bottom	13
C	2	Bottom	13

표 3: 언더필 유형에 따른 구성 표



그림 11: Type V 솔더 페이스트 디핑 후의 상단 패키지 볼

로 보내서 각 어셈블리 유형의 신뢰성을 평가하였다.

테스트 장비 어셈블리

모든 테스트 장비는 기존의 SMT 라인으로 어셈블리했다. 테스트 장비 PCB는 모두 5밀 두께 스텐실을 이용해 비세척 SAC405 솔더 페이스트로 스크린 인쇄하였다. 하단 패키지는 곧바로 테스트 장비 상에 탑재하고 상단 패키지는 플럭스나 디핑가능 페이스트에 디핑한 다음에 하단 패키지 위에 탑재하였다. 모든 패키지 디핑을 위해서는 탑재 장비에 설치된 선형 디핑 장치를 이용했다. 디핑가능 솔더 페이스트는 비교적 새로운 소재이므로 본격적인 테스트 장비 구축에 앞서 디핑 시험을 실시하였다. 이 시험은 소자 솔더 볼로 페이스트가 적당하게 전달되는지 확인하기 위한 것이었다. 2개의 Type V 소재 및 Type VI 소재 모두에 대해서 우수한 결과가 달성되었으나 단 전달되는 소재의 외관과 균일성에 있어서 차이를 볼 수 있었다. 전반적으로 Type VI 소재가 볼 상에 더 매끄럽고 균일한 페이스트 증착을 이루었다. Type V 증착은 더 높고 전달되는 소재의 양에 있어서 더 변동적인 성향을 나타냈다.

모든 패키지를 탑재한 후에는 질소 환경에서 전체적인 어셈블리를 리플로우하였다. 이 시험에 포함된 모든 볼 합금에 적합한 설정으로 단일 리플로우 프로파일을 이용하

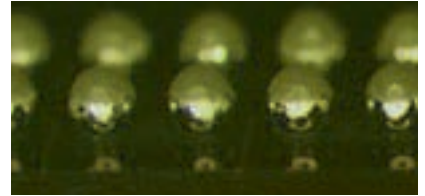


그림 12: Type VI 솔더 페이스트 디핑 후의 하단 패키지 볼

였다. 리플로우 프로세스의 피크 온도는 239℃에서 243℃에 이르렀으며 217℃ 이상인 시간은 64초에서 76초에 달했다.

강제적 재공정

2개 셀의 재공정 소자를 테스트 구성에 포함시켰다. 첫 번째 셀은 B 업체의 딥 페이스트로 재공정한 11개의 SAC105 패키지 스택으로 이루어졌다. 두 번째 셀은 동일한 딥 페이스트로 재공정한 9개의 SAC305 패키지 스택으로 이루어졌다. 두 번째 재공정 그룹의 샘플 크기는 이용 가능한 패키지 수 때문에 8개로 제한되었다. 이들 2개 셀 각각으로부터 한 샘플은 타임 제로 단면(time zero cross section)에 이용했으며 나머지는 가속화 열 사이클링을 시행하였다.

재공정 프로세스는 접착제를 이용해서 패키지를 접속하고 그런 다음 핫 에어 재공정 스테이션을 이용해서 패키지 스택을 카드로부터 제거하는 것으로 이루어졌다. 사이트 드레스(site dress) 후에 하단 패키지를 페이스트에 디핑하고 카드 상에 탑재하였다. 그런 다음 상단 패키지 역시 페이스트에 디핑하고 하단 패키지 위에 탑재하였다. 그리고 전체 스택을 리플로우하였다.

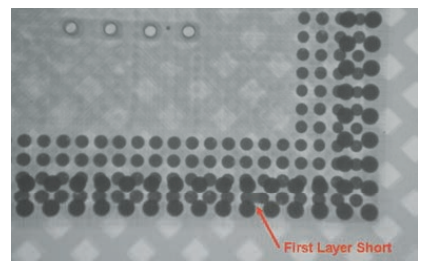


그림 13: 첫 번째 층에서 일차 접착 소자의 단락

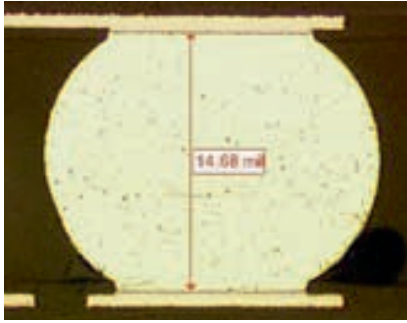


그림 14: 타임 제로 단면 - 일차 접착(왼쪽) 및 재공정(오른쪽) 상단 접합부

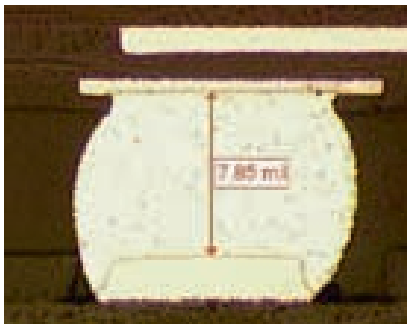
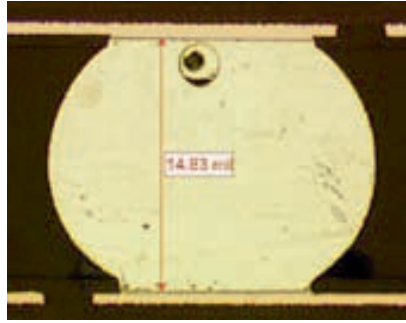
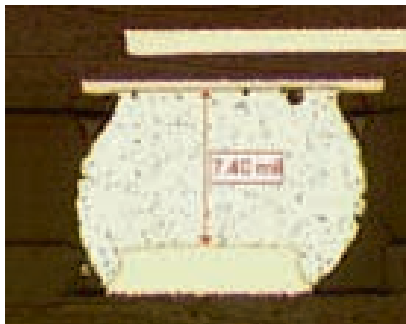


그림 15: 타임 제로 단면 - 일차 접착(왼쪽) 및 재공정(오른쪽) 하단 접합부



어셈블리 결과

어셈블리 수율

어셈블리 후에는 모든 패키지를 투과 엑스레이를 이용해 검사하고 멀티미터를 이용해서 전기적으로 테스트하였다. 2개의 소자만 결함을 일으켰으며 둘 다 하단 패키지의 0.5mm 피치 접합부에서 단락이 원인이었다. 이들 접합부는 기존의 스크린 인쇄 및 리플로우 프로세스를 이용해 형성된 것으로서 특별히 PoP 어셈블리 프로세스와 연관된 결함이 아니며 페이스트 프린트의 품질을 향상시키기 위해서는 스크린 인쇄 프로세스를 조

정해야 할 필요성이 있음을 시사했다. 그림 13은 단락 소자의 엑스레이 영상을 보여준다.

재공정 소자에서는 전기 또는 엑스레이 결함이 발견되지 않았다.

타임 제로 단면

열 사이클링에 앞서 5개 소자를 단면 검사를 위해 제거하였다. 각 소자 불 함금에 하나씩 3개의 일차 접착 패키지 스택을 절단하였다. 타임 제로 단면 검사를 위한 모든 일차 접착 샘플은 A 업체의 딥 페이스트를 이용해 어셈블리된 것

이다. 또한 각 재공정 셀로부터 하나씩 2개의 재공정 샘플을 절단했다. 패키지의 상단 및 하단 접합부 열이 정확하게 일치하지 않으므로 하나는 상단 패키지의 접합부 열 중심을 통해서 그리고 또 하나는 하단 패키지의 접합부 열 중심을 통해서 각 패키지에 대해 2개의 절단면을 만들었다. 그림 14와 그림 15는 각기 SAC105 볼 소자에서 형성된 상단 접합부와 SAC125 볼 소자에서 형성된 하단 접합부를 보여준다.

모든 타임 제로 단면 샘플에 대해서 스탠드오프 측정을 실시하였다. 패키지 오른쪽에 하나, 패키지 왼쪽에 하나, 가운데 하나로 각 층에서 3개 접합부를 측정하였다. 표 4는 이 결과를 요약해서 보여주고 있다. 이 표의 모든 값은 층의 3개 측정의 평균이며 구리 대 구리 측정이다.

상단 접합부의 스탠드오프 높이는 중대한 변동성을 나타내지 않았으며 모든 상단 접합부는 딥 페이스트를 이용해 만들어진 것이므로 이는 예상할 수 있는 것이었다. 하단 접합부의 높이는 약간의 변동성이 관찰되었다. 대체적으로 재공정 접합부가 일차 접착 접합부보다 스탠드오프가 낮았다. 하단 패키지의 페이스트는 일차 접착 소자의 경우에 스텐실을 이용해서 적용한 것이며 재공정 소자는 디핑으로 적용한 것이므로 높이에 있어 약간의 차이는 예상된 것이었다. 디핑 공정은 대체적으로 이들 패키지에 있어서 스크린 프린팅 공정보다 더 적은 페이스트를 전달하며 그러므로 더 낮은 스탠드오프를 달성한다.

부품 불 함금	어셈블리 공정	상위 조인트 스탠드오프 (mils)	하위 조인트 스탠드오프 (mils)
SAC405	1차	15.00	9.12
SAC305	1차	14.93	8.87
SAC305	리워크	14.60	7.67
SAC105	1차	14.86	7.87
SAC105	리워크	14.78	7.48

표 4: 스탠드오프 측정, 타임 제로 단면



그림 16: ATC칩임버 내의PoP 테스트 장비 랙

가속화 열 사이클링

테스트 셋업

열 사이클링은 IPC-9701A8에 따라서 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 프로파일을 이용해서 실시되고 있으며 양 온도 극단 상에서 10분간 지속된다. 테스트 비이클을 고정시키고 카드 주변으로 에어플로우가 원활하게 순환하도록 하기 위해서 맞춤형 장치를 제작하였다. 그림 16은 체임버 내의 PoP 테스트 장비 랙을 보여 준다. 모든 테스트 장비를 수용하기 위해서 체임버 내에 2개의 테스트 장비 랙을 탑재하였다.

모든 테스트 장비를 데이터로거를 이용해 완벽하게 측석에서 모니터링했다. 결함은 5개의 연속적 리딩이 첫 번째 열 사이클 시에 기록된 최대 저항 리딩에 비해서 저항이 20퍼센트 증가하는 것으로 정의된다. 멀티미터를 이용해서 결함을 검사하기 위해서 테스트를 규칙적으로 중단할 것이다. 총 테스트 길이는 2천 사이클로 예정되어 있다.

중간 결과

이 글을 쓰고 있는 현재 425 사이클이 완료되었다. 현재까지는 어느 셀 상에서 결함이 보고되지 않고 있다. 이전의 시험에서는 유사한 ATC 테스트 조건으로 언더필을 이용하지 않은 이 패키지의 특성적 수명이 2800 사이클 이상인 것으로 나타났다. 최소한 2000 사이클까지 또는 모든 테스트 셀이 최소한 63.2퍼센트 확실시 되는 결함을 나타낼 때까지 테스트를 계속할 것이다.

결론

현재까지의 시험에 의하면 3개 디핑가 능 플럭스와 3개 디핑가능 솔더 페이스트를 이용해서 PoP의 일차 접착 프로세스가 성공적인 것으로 나타났다. 모든 6개 소재가 우수한 수율을 나타냈다. 수동으로 디핑가능 솔더 페이스트 프로세스를 이용한 재공정 프로세스 역시 우수한 수율로 성공적인 것으로 나타났다.

이 시험에서는 딥 플럭스를 이용해 달성된 수율이 우수했으므로 디핑가능 솔더 페이스트를 이용해서 어떠한 수율 향상이 가능하지 않았다. 하지만 더 대규모의 샘플 규모라면 2개 프로세스 사이에 좀더 명확하게 수율 차이가 나타날 수도 있을 것이다.

가속화 열 사이클링은 현재 진행 중이며 현재까지 결함은 보고되지 않고 있다. 지금까지는 큰 차이가 나타나지 않으나 각각의 딥 플럭스 및 딥 페이스트 사이에 그리고 또한 이 시험에 포함된 각각의 소자 불 함금 간에 신뢰성에 있어서 어떤 중대한 차이가 있는지 보기 위해서 열 사이클링을 계속할 것이다.

향후 연구

열 사이클 테스트는 2000 사이클까지 또는 모든 테스트 셀이 최소한 63.2퍼센트 확실한 결함을 나타낼 때까지 계속할 것이다. 향후의 연구는 이 시험에서 언급된 주요 딥 페이스트 및 딥 플럭스 소재를 이용한 디핑 프로세스의 프로세스 한계를 평가하는 것을 중점으로 할 것이다.

또한 향후에 상단 패키지가 0.5mm 피치인 더 미세한 피치의 PoP 디바이스를 위한 디핑 프로세스를 개발할 계획이다.

감사의 말

저자는 이 프로젝트에 참여한 동료들의 헌신에 매우 감사드리고 있습니다. 함께 참여한 Russell Brush, Jason Keeping, Michael Thomson, Zohreh Bagheri, Cherrylyn Roxas, Gianni Facchini에게 감사의 말씀을 드립니다.

또한 이 프로젝트에 사용한 딥 플럭스와 딥 페이스트를 제공해 준 주요 소재 공급업체들에게도 깊은 감사의 말씀을 드립니다.

참고문헌

[1] Solberg, Vern et al. "Ball Stack Packaging for High Performance

Memory", Proceedings of SMTA International, 2003.

[2] Lin, Wei et al. "Control of the Warpage for Package-on-Package (PoP) Design", Proceedings of SMTA International, 2006.

[3] Smith, Lee et al. "Package on Package (PoP) Stacking and Board Level Reliability Results", Proceedings of SMTA International, 2006.

[4] Sjoberg, Jonas et al. "Package on Package (POP) Process Development and Reliability Evaluation", Proceedings of the Pan Pacific Microelectronics Symposium, 2007.

[5] Toleno, Brian and Dan Maslyk "Process and Assembly Methods for Increased Yield of Package on Package Devices", Proceedings of the Pan Pacific Microelectronics Symposium, 2008.

[6] McCormick, Heather et al. "The Great SAC Debate: Comparing the Reliability of SAC305 and SAC405 Solders in a Variety of Applications", Proceedings of the Pan Pacific Microelectronics Symposium, 2007.

[7] Snugovsky, Polina et al. "Failure Mechanism of SAC 305 and SAC 405 in Harsh Environments and Influence of Board Defects Including Black Pad", Proceedings of SMTA International, 2006.

[8] IPC, "IPC-9701A Performance Test Methods and Qualification Requirements for Solder Mount Attachments" February 2006.

[9] Lee, Joon-Yeob et al. "Study on the Board Level Reliability Test of Package on Package (PoP) with 2nd Level Underfill", Proceedings of the 57th Electronic Components and Technology Conference, 2007